

METHOD AND DEVICE FOR UPDATING COUPLING COEFFICIENT IN PULSE DENSITY TYPE SIGNAL PROCESSING CIRCUIT NETWORK

Publication number: JP7334478

Publication date: 1995-12-22

Inventor: OTEGI SUGITAKA

Applicant: RICOH KK

Classification:

- international: **G06F7/60; G06F15/18; G06N3/06; G06N3/08;**
G06F7/60; G06F15/18; G06N3/00; (IPC1-7):
G06F15/18; G06F7/60

- European;

Application number: JP19940130140 19940613

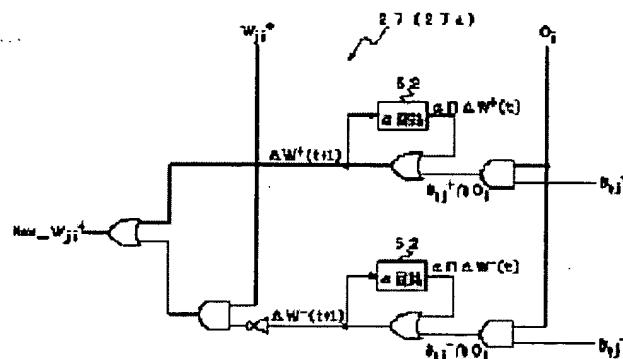
Priority number(s): JP19940130140 19940613

Report a data error here

Abstract of JP7334478

PURPOSE: To provide a coupling coefficient updating method for a pulse density type signal processing circuit network capable of executing processing based upon an inertia term of updated quantity, i.e., a stabilizing coefficient alpha, at the time of updating a coupling coefficient for learning in a pulse density type neural network.

CONSTITUTION: In the case of updating a synapse coupling coefficient expressing the degree of increment/decrement of a signal at the time of propagating the signal to one neuron from the other neuron, a signal DELTAW(t+1) obtained by executing OR operation between a 1st coupling coefficient updating signal $\Delta\text{eta}_{t+j}O_i$ found out from an error signal Δeta_{t+j} from one neuron and an input signal O_i from the other neuron and a 2nd coupling coefficient updating signal $\alpha\Delta\text{eta}_{t+j}W(t)$ obtained by applying processing based upon a stabilizing coefficient to a coupling factor updating signal obtained one frame before synapse coupling by an alpha circuit 52 as a coupling coefficient updating signal for synapse coupling to update the coupling coefficient of the synapse.



Data supplied from the **esp@cenet** database - Worldwide

(51)Int.Cl.⁶G 0 6 F 15/18
7/60

識別記号 庁内整理番号

5 2 0 Q 8837-5L

F I

技術表示箇所

審査請求 未請求 請求項の数11 OL (全19頁)

(21)出願番号

特願平6-130140

(22)出願日

平成6年(1994)6月13日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 桜木 杉高

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(74)代理人 弁理士 鳥居 洋

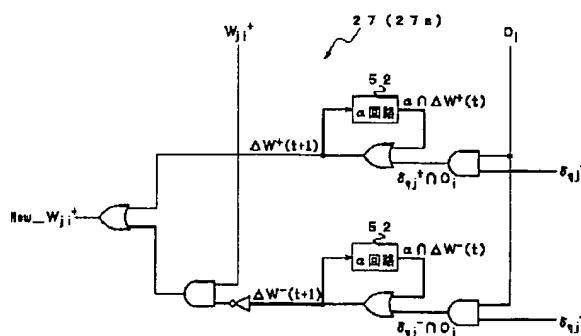
(54)【発明の名称】 パルス密度型信号処理回路網における結合係数更新方法
更新装置

並びに結合係数

(57)【要約】

【目的】 パルス密度型ニューラルネットワークにおいて、学習に際しての結合係数の更新時に、更新量の慣性項すなわち安定化係数を α による処理を実施できるパルス密度型信号処理回路網における結合係数更新方法を提供する。

【構成】 該ニューロンに他ニューロンからの信号を伝播する際の信号の増減度を表すシナプス結合係数の更新をする際に、該ニューロンにおける誤差信号 δ_{ij}^+ と他ニューロンからの入力信号 O_i により求められた第1の結合係数更新信号 $\delta_{ij}^+ \cap O_i$ と、該シナプス結合の1フレーム前の結合係数更新信号に α 回路5.2により安定化係数による処理を施した第2の結合係数更新信号 $\alpha \cap \Delta W(t)$ との論理和を施した信号 $\Delta W(t+1)$ を、該シナプス結合における結合係数更新信号とし、該シナプスの結合係数の更新を行う。



【特許請求の範囲】

【請求項1】 パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、

該ニューロンに他ニューロンからの信号を伝播する際の信号の増減度を表すシナプス結合係数の更新をする際に、該ニューロンにおける誤差信号と他ニューロンからの入力信号により求められた第1の結合係数更新信号と、該シナプス結合の1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号との論理和を施した信号を該シナプス結合における結合係数更新信号とし、該シナプスの結合係数の更新を行うことを特徴とするパルス密度型信号処理回路網における結合係数更新方法。

【請求項2】 パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網であって、該ニューロンに他ニューロンからの信号を伝播するために接続された該シナプス結合の結合係数値を、該シナプスにおける結合係数更新信号プラス成分と、該シナプスにおける結合係数更新信号マイナス成分とにより更新するようにしたパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、

該ニューロンにおける誤差信号プラス成分と他ニューロンからの入力信号とにより求められた第1の結合係数更新信号プラス成分と、該シナプス結合の1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号プラス成分との論理和を施した信号を該シナプス結合における結合係数更新信号プラス成分とし、

該ニューロンにおける誤差信号マイナス成分と他ニューロンからの入力信号とにより求められた第1の結合係数更新信号マイナス成分と、該シナプス結合の1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号マイナス成分との論理和を施した信号を該シナプス結合における結合係数更新信号マイナス成分とし、

該結合係数更新信号プラス成分と該結合係数更新信号マイナス成分とにより、該シナプスの結合係数の更新を行うことを特徴とするパルス密度型信号処理回路網における結合係数更新方法。

【請求項3】 請求項1のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、1フレーム前の結合係数更新信号を保持する記憶手段と、この記憶手段からの1フレーム前の結合係数更新信号であるパルス信号を、前記安定化係数を保持した記憶手段からの信号に応じて間引き、この間引いた信号を1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数

10

20

30

40

50

更新信号として出力する手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【請求項4】 請求項2のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、1フレーム前の結合係数更新信号プラス成分を保持する記憶手段と、この記憶手段からの1フレーム前の結合係数更新信号プラス成分であるパルス信号を、前記安定化係数を保持した記憶手段からの信号に応じて間引き、この間引いた信号を1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段と、1フレーム前の結合係数更新信号マイナス成分を保持する記憶手段と、この記憶手段からの1フレーム前の結合係数更新信号マイナス成分であるパルス信号を、前記安定化係数を保持した記憶手段からの信号に応じて間引き、この間引いた信号を1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【請求項5】 請求項1のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新信号を保持する記憶手段と、前記の安定化係数を保持する記憶手段からの信号と乱数発生器からの乱数値との比較を行うことにより安定化係数値をパルス密度として持つ安定化係数パルス信号を生成する手段と、前記安定化係数パルス信号と該シナプスの1フレーム前の結合係数更新信号との論理積信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【請求項6】 請求項2のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新信号プラス成分を保持する記憶手段と、前記の安定化係数を保持する記憶手段からの信号と乱数発生器からの乱数値との比較を行うことにより安定化係数値をパルス密度として持つ安定化係数パルス信号を生成する手段と、前記の安定化係数パルス信号と該シナプスの1フレーム前の結合係数更新信号プラス成分との論理積信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号プラス成分として出力する手段と、前記の安定化係数パルス信号と該シナプスの1フレーム前の結合係数更新信号マイナス成分との論理積信号を生成してこれを該

シナプスにおける1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号マイナス成分として出力する手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【請求項7】 請求項1のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新パルス信号をバイナリ値に変換するカウンタと、このカウンタから出力される結合係数更新信号と前記安定化係数を保持する記憶手段からの出力値との積出力を求める手段と、上記積出力と乱数発生器から出力される乱数値との比較を行うことにより、1フレーム前の結合係数更新信号に安定化係数を乗算した値をパルス密度として持つパルス列信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【請求項8】 請求項2のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新パルス信号プラス成分をバイナリ値に変換するカウンタと、このカウンタから出力される結合係数更新信号プラス成分と前記安定化係数を保持する記憶手段からの出力値との積出力を求める手段と、上記積出力と乱数発生器から出力される乱数値との比較を行うことにより、1フレーム前の結合係数更新値プラス成分に安定化係数を乗算した値をパルス密度として持つパルス列信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段と、1フレーム前の結合係数更新パルス信号マイナス成分をバイナリ値に変換するカウンタと、このカウンタから出力される結合係数更新信号マイナス成分と前記安定化係数を保持する記憶手段からの出力値との積出力を求める手段と、上記積出力と乱数発生器から出力される乱数値との比較を行うことにより、1フレーム前の結合係数更新値マイナス成分に安定化係数を乗算した値をパルス密度として持つパルス列信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【請求項9】 パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網であって、該ニューロンに他ニューロンからの信号を伝播するために接続された該シナプス結合の結合係数

値を、該シナプスにおける結合係数更新信号プラス成分と、該シナプスにおける結合係数更新信号マイナス成分とにより更新するようにしたパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、

該ニューロンにおける誤差信号プラス成分と他ニューロンからの入力信号とから第1の結合係数更新信号プラス信号を求め、該ニューロンにおける誤差信号マイナス成分と他ニューロンからの入力信号とから第1の結合係数更新信号マイナス信号を求め、

10 第1の結合係数更新信号プラス信号と第1の結合係数更新信号マイナス信号の反転信号との論理積を施した信号を、1フレーム前の結合係数更新信号をカウントするカウンタのインクリメント(又はデクリメント)信号とし、

第1の結合係数更新信号プラス信号の反転信号と第1の結合係数更新信号マイナス信号との論理積を施した信号を、1フレーム前の結合係数更新信号をカウントするカウンタのデクリメント(又はインクリメント)信号とし、

20 1フレームの間、カウントした後に、このカウンタの値と安定化係数を保持する記憶手段からの出力値との積を求め、この積の値をパルス密度に持つパルス列を生成し、

前記カウンタの値が正(又は負)の時は、前記パルス列と前記第1の結合係数更新プラス信号との論理和を現結合係数更新プラス信号とともに第1の結合係数更新マイナス信号を現結合係数マイナス信号とする一方、前記カウンタの値が負(又は正)の時は、前記パルス列と前記第1の結合係数更新マイナス信号との論理和を現結合係数更新マイナス信号とともに第1の結合係数更新プラス信号を現結合係数プラス信号とし、

30 これららの結合係数更新プラス信号と結合係数更新マイナス信号とにより、該シナプスの結合係数更新を行うことを特徴とするパルス密度型信号処理回路網における結合係数更新方法。

【請求項10】 パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網であって、該ニューロンに他ニューロンからの信号を伝播するために接続された該シナプス結合の結合係数値を、該シナプスにおける結合係数更新信号プラス成分と、該シナプスにおける結合係数更新信号マイナス成分とにより更新するようにしたパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、

40 該ニューロンにおける誤差信号プラス成分と他ニューロンからの入力信号とから第1の結合係数更新信号プラス信号を求め、該ニューロンにおける誤差信号マイナス成分と他ニューロンからの入力信号とから第1の結合係数更新信号マイナス信号を求め、

第1の結合係数更新プラス信号と第1の結合係数更新マイナス信号の反転信号との論理積を施した信号を、1フレーム前の結合係数更新プラス信号を保持する記憶手段に保持すると共にこの記憶手段からの結合係数更新プラス信号に安定化係数による処理を行い、この処理信号と前記第1の結合係数更新プラス信号との論理和を結合係数更新プラス信号とし、

第1の結合係数更新マイナス信号と第1の結合係数更新プラス信号の反転信号との論理積を施した信号を、1フレーム前の結合係数更新マイナス信号を保持する記憶手段に保持すると共にこの記憶手段からの結合係数更新マイナス信号に安定化係数による処理を行い、この処理信号と前記第1の結合係数更新マイナス信号との論理和を結合係数更新マイナス信号とし、

上記結合係数更新プラス信号と結合係数更新マイナス信号とにより、該シナプスの結合係数更新を行うことを特徴とするパルス密度型信号処理回路網における結合係数更新方法。

【請求項1】 請求項2のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、該シナプス結合の1フレーム前の結合係数更新信号プラス成分に安定化係数プラス成分による処理を施すための前記安定化係数プラス成分を保持する記憶手段と、該シナプス結合の1フレーム前の結合係数更新信号マイナス成分に安定化係数マイナス成分による処理を施すための前記安定化係数マイナス成分を保持する記憶手段とを備えていることを特徴とするパルス密度型信号処理回路網における結合係数更新装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、文字や図形認識、ロボット等の運動制御、或いは連想記憶等に応用されるパルス密度型信号処理回路網における結合係数更新方法並びに結合係数更新装置に関する。

【0002】

【従来の技術】 生体の情報処理の基本的な単位である神経細胞（ニューロン）の機能を模倣した神経細胞模倣素子をネットワークに構成し、情報の並列処理を目指したのが、いわゆる神経細胞回路ネットワーク（ニューラルネットワーク）である。文字認識や連想記憶、運動制御等は、生体においてはいとも簡単に行われていても、従来のノイマン型コンピュータではなかなか達成できないものが多い。

【0003】 そこで、生体の神経系、特に生体特有の機能、すなわち並列処理や自己学習等を模倣して、これらの問題を解決しようとする試みが、計算機シミュレーションや専用ハードウェアの試作等によって、盛んに行われている。

【0004】 図1は、一つのニューロンのモデル（神経細胞ユニット）を表すもので、他のニューロンから入力

を受ける部分、入力を一定の規則で変換する部分、結果を出力する部分からなる。他のニューロンとの結合部にはそれぞれ可変の重み“W_j i”を付け、結合の強さを表している。この値を変えるとネットワークの構造が変わる。ネットワークの学習とはこの値を変えることである。

【0005】 図2は、これをネットワークにし、階層型ニューラルネットワークを形成した場合である。図中、A1, A2, A3はそれぞれニューロンを表している。各ニューロンA1, A2, A3は図1の模式図に示すニューロンと同様に多数のニューロンと結合され、それから受けた信号を処理して出力する。階層型ネットワークは、入力層、中間層、出力層から成り、各層内での結合はなく、また出力層から入力層に向かう結合もない。一つのニューロンは他の多数のニューロンと結合している。

【0006】 なお、図2は、入力層、中間層、出力層の三層ネットワークであるが、中間層を複数持つ多層ネットワークも利用される。

【0007】 図1に示すニューロンを例にとり、図2の各ニューロンA1, A2, A3の動作について説明する。まず、フォワードプロセスについて説明する。

【0008】 図2のニューラルネットワークにおいて、入力層A1に入力された信号は、中間層A2に伝播し、中間層A2にてフォワード処理を実行する。中間層A2の処理結果は、出力層A3に伝播し、出力層A3にて、フォワード処理を実行し、最終的にニューラルネットワークの出力が得られる。

【0009】 ここで、ニューロン間の結合の度合いを表すのが、結合係数と呼ばれるもので、j番目のニューロンとi番目のニューロンとの結合係数をW_j iで表す。結合には、相手のニューロンからの信号が大きいほど自分の出力が大きくなる興奮性結合と、逆に相手のニューロンからの信号が大きいほど自分の出力が小さくなる抑制性結合があり、W_j i > 0のとき興奮性結合、W_j i < 0のとき抑制性結合を表す。

【0010】 今、自分のニューロンがj番目であるとし、1番目のニューロンの出力をO_iとすると、これに結合係数W_j iを掛けW_j i · O_iが自分のニューロンへの入力となる。各ニューロンは多数のニューロンと結合しているので、それらのニューロンに対するW_j i · O_iを足し合わせた結果であるΣW_j i · O_iが、自分のニューロンへの入力となる。これを内部電位と言い、次式で示される。

【0011】

$$[数1] \text{net}_j = \sum W_{j,i} \cdot O_i \quad \dots \quad (1)$$

【0012】 次に、この入力に対して非線形処理を施し、出力をする。この時の関数を神経細胞応答関数と呼び、例えば次の式（2）に示されるようなシグモイド関数が用いられる。

【0013】

* * 【数2】

$$f(\text{net}_i) = 1 / (1 + \exp(-\text{net}_i)) \dots (2)$$

【0014】この関数を図3に示す。値域は“0～1”で、入力値が大きくなるにつれ“1”に、小さくなるにつれ“0”に近づく。以上より、ニューロンjの出力Ojは次の式(3)で示される。

【0015】

$$[\text{数3}] O_j = f(\text{net}_i)$$

$$= f(\sum W_{kj} \cdot O_i) \dots (3)$$

【0016】次に、上記ニューラルネットワークの学習機能について説明する。数値計算で用いられる学習プロセスとして、一般的なバックプロパゲーションアルゴリズム(以後、略してBPアルゴリズムと呼ぶ。)について簡単に述べる。

【0017】学習プロセスでは、ある入力パターンpを与えたとき、実際の出力値と望ましい出力値の誤差を小さくするように結合係数を変更していく。この変更量を求めるアルゴリズムがBPアルゴリズムである。

【0018】今、ある入力パターンpを与えたとき、ユニットkの実際の出力値(Opk)と望ましい出力値(tpk)の差を次の式(4)のように定義する。

【0019】

※

$$\delta_{pk} = (tpk - opk) \cdot f'(\text{net}_k) \dots (7)$$

【0026】一方、中間層における誤差信号 δ_{pj} は次の式(8)に示す通りである。

$$\delta_{pj} = f'(\text{net}_i) \cdot \sum \delta_{pk} W_{kj} \dots (8)$$

【0028】但し、 $f'(\text{net}_i)$ は $f(\text{net}_i)$ の一階微分で、詳細は後述する。以上より ΔW_{ji} を一般的に定式化したのが次の式(9)である。

$$\Delta W_{ji}(t+1) = \eta \cdot \delta_{pj} \cdot O_{pi} + \alpha \cdot \Delta W_{ji}(t) \dots (9)$$

【0030】故に式(10)に示す通りである。ここで t は学習の順位、 η は学習定数、 α は安定化係数と呼ばれる。上記式(9)の右辺第1項は、上記式(6)で求めた ΔW_{ji} 、第2項はエラーの振動を減らし、収束を◆

$$W_{ji}(t+1) = W_{ji}(t) + \Delta W_{ji}(t+1) \dots (10)$$

【0032】このように結合係数の変化量 ΔW_{ji} の計算は、出力層のユニットから始めて中間層のユニットに移る。学習は、入力データの処理とは逆方向、つまり後ろ向きに進む。従って、バックプロパゲーションによる学習は、まず、学習用のデータを入力し、結果を出力する(前向き)。結果のエラーを減らすようにすべての結合の強さを変える(後ろ向き)。再び、学習用データを入力する。これを収束するまで繰り返すことになる。

【0033】従来の階層型ニューラルネットワークは、図2に示すようなネットワークを形成する。このネットワークにおいて、フォワードプロセスのデータの流れを示したのが図4である。これは3層階層型ネットワークにおける場合で、フォワードプロセスでは、入力層(図4の左側の層)に入力信号O11～O14を与えて、出力層(図4の右側の層)より出力信号Ok1～Ok4を

$$[\text{数4}] E_p = (tpk - opk)^2 / 2 \dots (4)$$

【0020】これは出力層のユニットkの誤差を表し、tpkは人間が与える教師データである。学習ではこの誤差を減らすようにすべての結合の強さを変えていく。実際には、パターンpを与えた時の W_{kj} の変化量を次の式(5)で表す。

【0021】

$$[\text{数5}] \Delta p W_{kj} \propto -\partial E / \partial W_{kj} \dots (5)$$

【0022】これを用いて、結合係数 W_{kj} を変化させる。上記式(4)より、結果的に次の式(6)が得られる。

【0023】

$$[\text{数6}] \Delta p W_{kj} = \eta \cdot \delta_{pk} \cdot O_{pj} \dots (6)$$

【0024】ここで、 O_{pj} は、ユニットjからユニットkへの入力値である。誤差 δ_{pk} は、ユニットkが出力層か、中間層で異なる。まず、出力層における誤差信号 δ_{pk} は、次の式(7)となる。

【0025】

【数7】

$$\delta_{pk} = (tpk - opk) \cdot f'(\text{net}_k) \dots (7)$$

★ 【0027】

★ 【数8】

$$\delta_{pj} = f'(\text{net}_i) \cdot \sum \delta_{pk} W_{kj} \dots (8)$$

★ 【0029】

【数9】

☆

◆

早めるために加えている。

【0031】

【数10】

$$W_{ji}(t+1) = W_{ji}(t) + \Delta W_{ji}(t+1) \dots (10)$$

得る。

【0034】一方、学習プロセスのデータの流れを示したのが図5である。学習プロセスでは、出力層(図5の右側の層)に教師信号 $t_{k1} \sim t_{k4}$ を与えて、各ニューロン間の結合強度を更新し、ニューラルネットワークの出力が教師信号に一致するように学習する。なお、この学習プロセスによる処理は、今のところ多くの場合、外部の汎用のコンピュータによって実行している。

【0035】前記ネットワークを電気回路で実現したものの一例を図6に示す(特開昭62-295188号公報)。この回路は、基本的にはS字型の伝達関数を有する複数の増幅器4と、各増幅器4の出力を他の層の増幅器の入力に一点鎖線で示すように接続する抵抗性フィードバック回路網2とが設けられている。各増幅器4の入力側には接地させたコンデンサCと接地された抵抗Rと

によるC.R.時定数回路3が個別に接続されている。そして、入力電流I₁、I₂～I_nが各増幅器4の入力に供給され、出力はこれらの増幅器4の出力電圧の集合から得られる。

【0036】ここに、入力や出力の信号の強度を電圧で表し、神経細胞の結合の強さは、各細胞間の入出力ラインを結ぶ抵抗1（抵抗性フィードバック回路網2中の格子点）の抵抗値で表され、神経細胞応答関数は各増幅器4の伝達関数で表される。また、神経細胞間の結合には前述のように興奮性と抑制性があり、数学的には結合関数の正負符号により表される。しかし、回路上の定数で正負を実現するのは困難であるので、ここでは、増幅器4の出力を2つに分け（4a、4b）、一方の出力を反転させることにより、正負の2つの信号を生成し、これを選択することにより実現するようにしている。また、図3に示したシグモイド関数f(n e t)に相当するものとしては増幅器が用いられている。

【0037】一般に、ニューラルネットワークをアナログ回路により構成すると、単一神経回路素子の面積を小さくできるため、ニューラルネットワークの集積度を大きくできたり、或いは実行スピードが速いといった利点を持っている。しかしながらその反面、各信号の値を電位や電流等のアナログ量で表し、各演算も増幅器等のアナログ素子により実行するため、温度特性によるばらつきが存在し、また素子形成上のプロセスのばらつきのため、各素子の応答特性を同一にすることできず、出力値が不安定になるといった問題もある。

【0038】また、ニューラルネットワークの結合係数の値を学習によって任意に変更するということも難しく、外部のコンピュータで学習を行い、学習後の各結合係数の値をハードウェア上にダウンロードするといったこともよく行われる。このような学習方法では、学習にコンピュータを必要としたり、学習処理が著しく遅くなるといった問題がある。

【0039】次に、デジタル回路によりニューラルネットワークを構成した例を示す。図7～図9は、前記ニューラルネットワークをデジタル回路で実現した例を示す図で、図7は、単一神経細胞の回路構成例を示す。これらにおいて図で、11はシナプス回路、12は樹状突起回路、13は細胞体回路を示す。

【0040】図8は、図7に示したシナプス回路11の構成例を示す図で、係数回路11aを介して入力パルスfに倍率a（フィードバック信号に掛ける倍率で1または2）を掛けた値が入力されるレートマルチプライヤ11bを設けてなり、レートマルチプライヤ11bには重み付けの値wを記憶したシナプス荷重レジスタ11cが接続されている。また、図9は細胞体回路13の構成例を示す図で、制御回路14、アップ/ダウンカウンタ15、レートマルチプライヤ16及びゲート17を順に接続してなり、さらに、アップ/ダウンメモリ18が設け

られている。

【0041】これは、神経細胞ユニットの入出力をパルス列で表現し、そのパルス密度で信号の量を表している。結合係数は2進数で取り扱い、シナプス荷重レジスタ11cに保存している。

【0042】信号演算処理は次のように行う。まず、入力信号をレートマルチプライヤ11bへ入力し、結合係数をレート値へ入力することによって、入力信号のパルス密度をレート値に応じて減らしている。これは、前述のバックプロパゲーションモデルの式のW_ji・O_iの部分に相当する。またΣW_ji・O_iのΣの部分は、樹状突起回路12によって示されるOR回路で実現している。結合には、興奮性、抑制性があるので、あらかじめグループ分けしておき、それぞれのグループ別に論理和(OR)をとる。図7において、F1は興奮性、F2は抑制性出力を示す。この2つの出力を図9に示したカウンタ15のアップ側、ダウン側にそれぞれ入力してカウントすることで出力が得られる。この出力は2進数であるので、再びレートマルチプライヤ16を用いてパルス密度に変換する。この神経細胞ユニットを複数個用いてネットワークを構成することによって、ニューラルネットワークが実現できる。学習機能はネットワークの最終出力を外部のコンピュータに入力して、コンピュータ内部で数値計算を行い、その結果を結合係数を保存するシナプス荷重レジスタ11cに書き込むことによって実現している。

【0043】以上のように、ニューラルネットワークをデジタル回路により構成すると、単一神経回路素子の面積がアナログ回路に比べ大きくなるため、ニューラルネットワークの集積度を上げられないといった難点があるが、アナログ回路の欠点であった、温度特性や素子形成上のプロセスのばらつきによる影響を受けず、回路を形成することも比較的容易で、神経細胞素子（ニューロン）の出力も安定し、信頼性が高いといった利点がある。

【0044】しかし、図7～9に示した例では、ニューラルネットワークの学習は、外部のコンピュータに頼っているため、学習用のコンピュータを必要とし、また学習時間が大きいといった問題は存在する。

【0045】本出願人は、ニューロンより構成されたニューラルネットワークによる信号処理装置をすでに提案している（例えば、特願平5-118087号に詳しい。）。この発明では、この先願に係る信号処理装置を一実施例の例題として取り扱うので、以下この先願に係る信号処理装置について述べる。

【0046】この先願に係る信号処理装置においては、神経回路網の一例として、デジタル論理回路を用いた神経細胞ユニットとこれを用いて構成したネットワーク回路による信号処理について提案している。

【0047】ここで基本的な考え方は、以下のようなも

のである。

1. 神経細胞ユニットにおける入出力信号、中間信号、教師信号は、すべて、「0」、「1」の2値で表されたパルス列で表現する。

2. ネットワーク内部での信号の値は、パルス密度（ある一定時間内の「1」の数）で表す。

3. 神経細胞ユニット内での演算は、パルス列同士の論理演算で行う。

4. 結合係数のパルス列は神経細胞ユニット内のメモリに格納する。

5. 学習においては、与えられた教師信号パルス列を元に誤差を計算し、これに基づいて、結合係数を変化させる。この時、誤差の計算、結合係数の変化分の計算もすべて「0」、「1」のパルス列の論理演算で行う。

【0048】図10は、パルス密度方式において、一つのニューロン素子のフォワード処理の様子を示したもので、ネットワークの構成は、図2に示した階層型ニューラルネットワークを考える。

【0049】まず、「0」、「1」に2値化され、パルス密度で表現された入力 O_i と結合係数 W_{ji} との論理積(AND)をシナプスごとに求める。これは、前記式(1)の $W_{ji} \cdot O_i$ に相当する。このAND回路の出力のパルス密度は、確率的に入力信号のパルス密度と結合係数のパルス密度との積となる。

【0050】前述したように、ニューロン間の結合には*

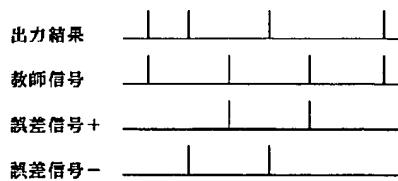
$$net_j^+ = \bigcup_{W_{ji} > 0} (O_i \cap W_{ji}) \quad \text{興奮性グループ } (W_{ji} > 0) \quad \dots (11)$$

$$net_j^- = \bigcup_{W_{ji} < 0} (O_i \cap W_{ji}) \quad \text{抑制性グループ } (W_{ji} < 0) \quad \dots (12)$$

$$O_j = net_j^+ \cap net_j^- \quad \dots (13)$$

【0057】次に、パルス密度方式における学習プロセスについて述べる。学習が行われていないニューラルネットワークにおいては、あるパターンを入力したときのネットワークの出力は必ずしも望ましい出力とはならない。従って、前述したBPアルゴリズムと同様に学習プロセスによって、実際の出力値と望ましい出力値の誤差を小さくするように結合係数を変更していく。

【0058】(出力層における誤差信号) 最初に出力層※



【0060】誤差信号プラス成分 δk^+ は、出力結果 O_k が“0”で、教師信号 t_k が“1”的時、“1”となり、それ以外は“0”となる。

【0061】他方、誤差信号マイナス成分 δk^- は、出力結果 O_k が“1”で、教師信号 t_k が“0”的時、“1”となり、それ以外は“0”となる。

*興奮性結合と抑制性結合がある。数値演算の場合は、結合係数の符号、例えば、興奮性の時プラス、抑制性の時マイナスというようにして演算を行う。

【0051】パルス密度方式の場合は、結合係数 W_{ji} の正負により、各結合を興奮性結合と抑制性結合との2つのグループに分け、このグループ別にOR操作による論理和をとる。これは、式3のΣの処理と非線形飽和関数 $f(net)$ の処理に相当する。

【0052】即ち、パルス密度による演算においては、パルス密度が低い場合、OR処理を行った結果のパルス密度は、OR入力のパルス密度の和に近似できる。

【0053】パルス密度が高くなるにつれて、OR回路の出力は徐々に飽和してくるので、パルス密度の和とは、結果が一致せず、非線形性が出てくることになる。

【0054】このOR操作の場合、パルス密度の値 P は $0 \leq P \leq 1$ となり、さらに入力の大きさに対して、単調増加関数となるので、式(2)或いは図3のシグモイド関数による処理と同様になる。

【0055】パルス密度方式による神経細胞素子の出力は、上記の演算により求められた興奮性グループのOR出力 net_j^+ が“1”でかつ、抑制性グループのOR出力 net_j^- が“0”的のみ“1”を出力する。即ち、次の式(11)～(13)に示すように表す。

【0056】

【数11】

※における誤差信号について述べる。ここで、誤差を数値で表すと正負両方の値を取り得るが、パルス密度方式では、そのような表現ができないため、プラス成分を表す信号 δk^+ とマイナス成分を表す δk^- 信号の2つを使って、出力層における誤差信号を次の式(14)、(15)のように定義する。

【0059】

【数12】

$$\delta k^+ \equiv t_k \cap \overline{O_k} \quad \dots (14)$$

$$\delta k^- \equiv \overline{t_k} \cap O_k \quad \dots (15)$$

“1”となり、それ以外は“0”となる。

【0062】この誤差信号 δk^+ 、 δk^- は、前述のBPアルゴリズムでは出力層の誤差信号を求める前記式(7)の教師信号と実際の出力信号との差 $(t_k - O_k)$ に対応する。

【0063】次に、式(7)に示すように、これらの誤差信号と出力関数 $f(n e t)$ の一階微分である $f'(n e t)$ との積を求め、出力層における誤差信号を求める。一般に、学習時における誤差信号の演算には、出力信号を内部電位で微分した微係数が必要となる。前述*

$$\begin{aligned} f'(n e t) &= df(n e t) / d n e t \\ &= f(n e t) \cdot \{1 - f(n e t)\} \quad \dots (16) \end{aligned}$$

【0065】パルス密度方式では、式(16)を参考にして、出力層ニューロンにおける一階微分 $f'(n e t)$ k のプラス成分 $f'(n e t) k^+$ 及びマイナス成分 $f'(n e t) k^-$ を式(17), (18)のように定義する。

【0066】

【数13】

$$f'(n e t) k^+ = \overline{O k(t-1)} \cap \overline{O k(t-2)} \quad \dots (17)$$

$$f'(n e t) k^- = \overline{O k(t-1)} \cap O k(t-2) \quad \dots (18)$$

【0067】ここで、 $O k(t-1)$ は、出力信号 $O k$ の1パルスディレイ値で、 $O k(t-2)$ は、出力信号 $O k$ の2パルスディレイ値である。従って、出力層における最終的な誤差信号は、次の式(19), (20)で示される。これは、前述のBPアルゴリズムでは、出力層の誤差信号を求める式(7)に対応する。

【0068】

【数15】

$$\begin{aligned} \delta k^+ &= t k \cap \overline{O k} \cap f'(n e t)^+ \\ &= t k \cap \overline{O k} \cap O k(t-1) \cap \overline{O k(t-2)} \quad \dots (19) \end{aligned}$$

$$\begin{aligned} \delta k^- &= \overline{t k} \cap O k \cap f'(n e t)^- \\ &= \overline{t k} \cap O k \cap O k(t-1) \cap O k(t-2) \quad \dots (20) \end{aligned}$$

【0069】(中間層における誤差信号)パルス密度方式による中間層における誤差信号も前述のBPアルゴリズムによる前記式(8)を参考にして求める。即ち、出力層における誤差信号を集めてきて中間層の誤差信号とする。ここで、結合を興奮性か抑制性かにより2つのグループに分け、積の部分は \cap (AND), 和 (Σ) の部分は \cup (OR) で表現する。

【0070】さらに、中間層における誤差信号を求める場合、結合係数 $W k j$ の正負、誤差信号 δk の正負の4つに場合分けする。まず、興奮性結合の場合、出力層の誤差信号プラス成分 δk^+ と、その結合係数のANDをとったもの ($\delta k^+ \cap W k j^+$) をすべての出力層のニューロンについて求め、これらのORをとる。これが中間層ニューロンの誤差信号プラス成分 δj^+ となる(式(21))。

【0071】

【数16】

$$\delta j^+ = \{\cup (\delta k^+ \cap W k j^+)\} \cup \{\cup (\delta k^- \cap W k j^-)\} \quad \dots (25)$$

$$\delta j^- = \{\cup (\delta k^- \cap W k j^+)\} \cup \{\cup (\delta k^+ \cap W k j^-)\} \quad \dots (26)$$

【0080】次に、式(8)のBPアルゴリズムと同様に、式(25), (26)で求めた δj^+ , δj^- に式

*のBPアルゴリズムでは出力関数 $f(n e t)$ として、シグモイド関数を用いた場合、その一階微分 $f'(n e t)$ は式(16)で示される。

【0064】

【数13】

$$f(n e t) = df(n e t) / d n e t$$

$$\delta j^+ = \cup (\delta k^+ \cap W k j^+) \quad \dots (21)$$

【0072】同様に、出力層の誤差信号マイナス成分 δk^- と、その結合係数のANDをとったもの ($\delta k^- \cap W k j^-$) をすべての出力層のニューロンについて求め、これらのORをとる。これが中間層ニューロンの誤差信号マイナス成分となる(式(22))。

【0073】

【数17】

$$\delta j^- = \cup (\delta k^- \cap W k j^-) \quad \dots (22)$$

【0074】次に、抑制性結合の場合について述べる。出力層の誤差信号マイナス成分 δk^- と、その結合係数とのANDをとったもの ($\delta k^- \cap W k j^-$) をすべての出力層のニューロンについて求め、これらのORをとる。これが中間層の誤差信号プラス成分となる(式(23))。

【0075】

【数18】

$$\delta j^+ = \cup (\delta k^- \cap W k j^-) \quad \dots (23)$$

【0076】同様に、出力層の誤差信号プラス成分 δk^+ とその結合係数とのANDをとったもの ($\delta k^+ \cap W k j^+$) をすべての出力層のニューロンについて求め、これらのORをとる。これが中間層ニューロンの誤差信号マイナス成分となる。

【0077】

【数19】

$$\delta j^- = \cup (\delta k^+ \cap W k j^+) \quad \dots (24)$$

【0078】ある中間層のニューロンとこれと結合された出力層のニューロンとの結合には、興奮性結合と抑制性結合がある。従って、中間層の誤差信号プラス成分としては、式(21)の興奮性結合の δj^+ と式(23)の抑制性結合の δj^- の論理和をとる。同様に、中間層の誤差信号マイナス成分としては、式(22)の興奮性結合 δj^- と式(24)の抑制性結合の δj^+ の論理和をとる。即ち、次の式(25), (26)のようになる。これは、BPアルゴリズムによる前記式(8)の $\Sigma \delta p k W k j$ に対応する。

【0079】

【数20】

※

(17), (18)の微係数 ($f'(n e t)$) による処理を施す。ここで中間層ニューロンにおける一階微分

15

f^+ (net) j のプラス成分 f^+ (net) j^+ 及びマイナス成分 f^+ (net) j^- を (27), (28) のように定義する。ここで、 $O_j(t-1)$ は中間層ニューロンの出力信号 O_j の 1 パルスディレイ値である。

【0081】従って、中間層における誤差信号 (δ_j^+ , δ_j^-) は次の式 (29), (30) で求められる。

【0082】

【数21】

$$f^+(\text{net})j^+ = \overline{O_j} \cap O_j(t-1) \quad \dots \quad (27)$$

$$f^+(\text{net})j^- = O_j \cap \overline{O_j(t-1)} \quad \dots \quad (28)$$

【0083】

元の信号	*	
$\eta = 1/4$ の場合 (パルスを 3 つ置きに残す)		… (31)
$\eta = 1/2$ の場合 (パルスを 1 つ置きに残す)		… (32)
$\eta = 1$ の場合 (パルスは元の信号と同じ)		… (33)

【0086】次に、学習による結合係数の修正量 ΔW を求める方法について述べる。まず、前述した出力層或いは中間層の誤差信号 (δ^+ , δ^-) に学習定数 η による処理を施し、さらにニューロンへの入力信号との論理積をとる ($\delta \eta \cap O$)。但し、誤差信号は δ^+ と δ^- があるので、次式に示すようにそれぞれを演算して ΔW^+ , ΔW^- とする。

【0087】

$$[\text{数24}] \Delta W^+ = \delta \eta^+ \cap O \quad \dots \quad (34)$$

$$\Delta W^- = \delta \eta^- \cap O \quad \dots \quad (35)$$

【0088】これは、BP アルゴリズムにおける ΔW を求める前記式 (6) に対応する。これらを元にして新しい結合係数 Ne_w_W を求めるが、結合係数 W が興奮性か抑制性かにより場合分けをする。まず、興奮性の場合には、元の W^+ に対して、 ΔW^+ の成分を増やし、 ΔW^- の成分を減らす。即ち式 (36) となる。

【0089】

【数25】

W^+	
ΔW^+	
ΔW^-	
$Ne_w_W^+$	

$$Ne_w_W^+ = W^+ \cup \Delta W^+ \cap \overline{\Delta W^-} \quad \dots \quad (36)$$

【0090】次に抑制性の場合には、元の W^- に対して、 ΔW^+ の成分を減らし、 ΔW^- の成分を増やす。即ち式 (37) となる。

【0091】

【数26】

16

* 【数22】

$$\delta j^+ = f^+(\text{net})^+ \cap \delta j^+ = \overline{O_j} \cap O_j(t-1) \cap \delta j^+ \quad \dots \quad (29)$$

$$\delta j^- = f^+(\text{net})^- \cap \delta j^- = O_j \cap \overline{O_j(t-1)} \cap \delta j^- \quad \dots \quad (30)$$

【0084】(学習定数 η による処理) BP アルゴリズムにおいて、結合係数の修正量 ΔW を求める前記式 (6) にある学習定数 η の処理について述べる。数値演算においては、式 (6) にあるように、単純に学習定数 η を乗算すればよいが、パルス密度方式の場合は、学習定数 η の値に応じて、下に示すようにパルス列を間引くことで実現する。

【0085】

【数23】

$$W^- \quad \dots \quad (31)$$

$$\Delta W^+ \quad \dots \quad (32)$$

$$\Delta W^- \quad \dots \quad (33)$$

$$Ne_w_W^- \quad \dots \quad (34)$$

$$Ne_w_W^- = W^- \cup \Delta W^- \cap \overline{\Delta W^+} \quad \dots \quad (37)$$

【0092】以上がパルス密度方式による学習アルゴリズムである。ここで、図2の階層型ネットワークにおいて、パルス密度方式におけるフォワードプロセス及び学習プロセスの処理の流れについて簡単に述べる。まず、フォワードプロセスであるが、最初に入力層に信号を与えると、この入力信号が中間層に伝播していき、中間層の信号処理として、前述の式 (11) ~ (13) を行い、その結果を出力層に伝播させる。

【0093】出力層では、これらの伝播してきた信号に対して、同様に式 (11) ~ (13) の処理を実行し、これらの結果として出力信号が得られ、フォワードプロセスを終了する。

【0094】学習プロセスでは、以上のフォワードプロセスを行った後、更に出力層に教師信号を与える。出力層では、式 (19), (20) により出力層における誤差信号を求めて中間層に送る。同時にこの誤差信号に式 (31) ~ (33) の学習定数 η による処理を施し、式 (34), (35) により中間層からの入力信号との論理積をとった後、式 (36), (37) により出力層と中間層との結合強度を変更する。

【0095】次に中間層における処理として、出力層から送られた誤差信号を元に、式 (29), (30) によって中間層における誤差を求め、この誤差信号に式 (31) ~ (33) の学習定数 η による処理を施し、式 (34) により中間層の結合強度を変更する。

4), (35)により入力層からの入力信号との論理積をとった後、式(36), (37)により中間層と入力層との結合強度を変更し、学習プロセスを終了する。以降、収束するまで学習プロセスを繰り返す。

【0096】次に図11ないし図13を参照して、以上のアルゴリズムに基づく実際の回路構成を説明する。ニューラルネットワークの構成は図2と同様である。図11は、ニューロンのシナプスに相当する部分の回路を示す図で、図12は、出力層のニューロンの細胞体と出力層の出力と教師信号から出力層における誤差信号を求める回路を示す図である。また、図13は、中間層のニューロンの細胞体と出力層における誤差信号を集め、中間層における誤差信号を求める部分の回路を示す図である。これらの3つの回路を図2のようにネットワークにすることによって、自己学習が可能なデジタル式のニューラルネットワーク回路が実現できる。

【0097】まず、図11について説明する。シナプスの結合係数はシフトレジスタ21に保存しておく。端子21Aがデータの取り出しが口で、端子21Bがデータの入り口である。これはシフトレジスタと同様の機能を持つものであれば、その他のもの、例えば、RAMとアドレスジュネレータ等を用いてもよい。シフトレジスタ21を備えた回路22は、前記の式(11), (12)の($O_i \cap W_j$)を実行する回路で、入力信号と結合係数とのANDをとっている。この出力は結合が興奮性か抑制性かによってグループ分けしなければならないが、あらかじめ各々のグループへの出力 O^+ , O^- を用意し、どちらのグループに出すのかを切り換えるようにした方が汎用性が高い。このため、結合が興奮性か抑制性かを表すビットをメモリ23に保存しておく、その情報を用いて切り替えゲート回路24により信号を切り換える。また、図12, 13に示すように各入力を処理する前記の式(11), (12)の論理和に相当する複数のORゲート構成のゲート回路31が設けられている。更に同図に示すように式(13)で示した興奮性グループが「1」でかつ、抑制性グループが「0」の時のみ出力を出すANDゲートとインバータによるゲート回路32が設けられている。

【0098】次に、誤差信号について説明する。図12における回路35, 36は、出力層での出力関数の微分係数を生成する回路を示す図で、AND(論理積), インバータの組み合わせによる論理回路であり、前記式(17), (18)に相当する。そして、回路37は、出力層での誤差信号を生成する回路を示す図で、AND(論理積), インバータの組み合わせによる論理回路であり、前記式(19), (20)に相当する。即ち、出力層からの出力 O_k 、教師信号 t_k 、及び微係数生成回路35, 36により生成される微係数プラス成分及びマイナス成分により、出力層における誤差信号 δ_k^+ , δ_k^- を生成する。また、中間層における誤差信号を求める

る前記の式(21)～(24)は、図11中に示すANDゲート構成のゲート回路26により行われ、プラス成分、マイナス成分に応じた出力($\delta \cap W$)が得られる。このように結合が興奮性か抑制性かで用いる誤差信号が異なるので、その場合分けを行う必要があるが、この場合分けはメモリ23に記憶された興奮性か抑制性かの情報と、誤差信号の δ^+ , δ^- 信号に応じて、AND, ORゲート構成のゲート回路25により行われる。また、誤差信号を集める前記の演算式(25), (26)は図13に示すORゲート構成のゲート回路39で行われる。中間層における誤差信号 δ_j^+ , δ_j^- を求める式(29), (30)を実行する回路が図13における回路40で中間出力 O_j 、シフトレジスタ33により中間層出力 O_j をディレイさせた信号 $O_j(t-1)$ 及びOR回路39の出力である出力層からの誤差信号により、誤差信号 δ_j^+ , δ_j^- が生成される。また、学習レートに相当する式(31)～(33)は、図12, 13に示す学習定数用の η 回路38により行われる。

【0099】最後に、誤差信号より新たな結合係数を計算する部分について説明する。これは前記の式(34)～(37)で表せられ、図11に示すAND, インバータ, ORゲート構成のゲート回路27により行われる。このゲート回路27も結合の興奮性・抑制性によって場合分けしなければならないが、これは図11に示すゲート回路25により行われる。

【0100】

【発明が解決しようとする課題】先頃のパルス密度型ニューラルネットワークにおける結合係数更新方法では、結合係数の更新量は、前記の式(34), (35)で表される。これは、BPアルゴリズムにおける ΔW を求める前記式(6)に対応する。更に、BPアルゴリズムでは、前回の更新量 $\Delta W(t)$ に安定化係数 α を掛けた量を加えた前記の式(9)により、最終的な結合係数の更新量 $\Delta W(t+1)$ を求めていた。この $\alpha \cdot \Delta W(t)$ は、更新量の慣性項を意味し、これを加えることにより、エラーの振動のを減らし、学習の収束を早めている。更に、学習時に局所解(ローカルミニマム)に陥る可能性を減らし、学習性能を向上させている。

【0101】数値演算によりニューラルネットワークを実現する場合には、安定化係数 α と前回の結合係数更新量 $\Delta W(t)$ の積を求め、前記式(6)で求めた結合係数更新量に加え、前記式(9)で表される最終的な結合係数更新量とすればよいが、先頃のパルス密度型ニューラルネットワークの場合は、主な演算を、パルス同士の論理演算で実現するため、結合係数更新時に、安定化係数 α による処理を施すことが難しく、この処理を実施できるようにはなっていない。

【0102】このため、本発明は、パルス密度型ニューラルネットワークにおいて、学習プロセス時に際しての結合係数の更新時に、更新量の慣性項すなわち安定化係

数 α による処理を施すことのできるパルス密度型信号処理回路網における結合係数更新方法並びに結合係数更新装置を提供することを目的とする。

【0103】

【課題を解決するための手段】本発明の第1の構成は、パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、該ニューロンに他ニューロンからの信号を伝播する際の信号の増減度を表すシナプス結合係数の更新をする際に、該ニューロンにおける誤差信号と他ニューロンからの入力信号により求められた第1の結合係数更新信号と、該シナプス結合の1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号との論理和を施した信号を該シナプス結合における結合係数更新信号とし、該シナプスの結合係数の更新を行うことを特徴とする。

【0104】本発明の第2の構成は、パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網であって、該ニューロンに他ニューロンからの信号を伝播するために接続された該シナプス結合の結合係数値を、該シナプスにおける結合係数更新信号プラス成分と、該シナプスにおける結合係数更新信号マイナス成分とにより更新するようにしたパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、該ニューロンにおける誤差信号プラス成分と他ニューロンからの入力信号とにより求められた第1の結合係数更新信号プラス成分と、該シナプス結合の1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号プラス成分との論理和を施した信号を該シナプス結合における結合係数更新信号プラス成分とし、該ニューロンにおける誤差信号マイナス成分と他ニューロンからの入力信号とにより求められた第1の結合係数更新信号マイナス成分と、該シナプス結合の1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号マイナス成分との論理和を施した信号を該シナプス結合における結合係数更新信号マイナス成分とし、該結合係数更新信号プラス成分と該結合係数更新信号マイナス成分とにより、該シナプスの結合係数の更新を行うことを特徴とする。

【0105】本発明の第3の構成は、第1の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、1フレーム前の結合係数更新信号を保持する記憶手段と、この記憶手段からの1フレーム前の結合係数更新信号であるパルス信号を、前記安定化係数を保持した記憶手段からの信号に応じて間引き、この間引いた信号を1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号として出力する手段

とを備えていることを特徴とする。

【0106】本発明の第4の構成は、第2の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、1フレーム前の結合係数更新信号プラス成分を保持する記憶手段と、この記憶手段からの1フレーム前の結合係数更新信号プラス成分であるパルス信号を、前記安定化係数を保持した記憶手段からの信号に応じて間引き、この間引いた信号を1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段と、1フレーム前の結合係数更新信号マイナス成分を保持する記憶手段と、この記憶手段からの1フレーム前の結合係数更新信号マイナス成分であるパルス信号を、前記安定化係数を保持した記憶手段からの信号に応じて間引き、この間引いた信号を1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とする。

【0107】本発明の第5の構成は、第1の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新信号を保持する記憶手段と、前記の安定化係数を保持する記憶手段からの信号と乱数発生器からの乱数値との比較を行うことにより安定化係数値をパルス密度として持つ安定化係数パルス信号を生成する手段と、前記安定化係数パルス信号と該シナプスの1フレーム前の結合係数更新信号との論理積信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とする。

【0108】本発明の第6の構成は、第2の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新信号プラス成分を保持する記憶手段と、前記の安定化係数を保持する記憶手段からの信号と乱数発生器からの乱数値との比較を行うことにより安定化係数値をパルス密度として持つ安定化係数パルス信号を生成する手段と、前記の安定化係数パルス信号と該シナプスの1フレーム前の結合係数更新信号プラス成分との論理積信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号プラス成分として出力する手段と、前記の安定化係数パルス信号と該シナプスの1フレーム前の結合係数更新信号マイナス成分との論理積信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号マイナス成分として出力する手段とを備えていることを特徴とする。

【0109】本発明の第7の構成は、第1の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新パルス信号をバイナリ値に変換するカウンタと、このカウンタから出力される結合係数更新信号と前記安定化係数を保持する記憶手段からの出力値との積出力を求める手段と、上記積出力と乱数発生器から出力される乱数値との比較を行うことにより、1フレーム前の結合係数更新信号に安定化係数を乗算した値をパルス密度として持つパルス列信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とする。

【0110】本発明の第8の構成は、第2の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、安定化係数を保持する記憶手段と、乱数を発生する乱数発生器と、1フレーム前の結合係数更新パルス信号プラス成分をバイナリ値に変換するカウンタと、このカウンタから出力される結合係数更新信号プラス成分と前記安定化係数を保持する記憶手段からの出力値との積出力を求める手段と、上記積出力と乱数発生器から出力される乱数値との比較を行うことにより、1フレーム前の結合係数更新値プラス成分に安定化係数を乗算した値をパルス密度として持つパルス列信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号プラス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段と、1フレーム前の結合係数更新パルス信号マイナス成分をバイナリ値に変換するカウンタと、このカウンタから出力される結合係数更新信号マイナス成分と前記安定化係数を保持する記憶手段からの出力値との積出力を求める手段と、上記積出力と乱数発生器から出力される乱数値との比較を行うことにより、1フレーム前の結合係数更新値マイナス成分に安定化係数を乗算した値をパルス密度として持つパルス列信号を生成してこれを該シナプスにおける1フレーム前の結合係数更新信号マイナス成分に安定化係数による処理を施した第2の結合係数更新信号として出力する手段とを備えていることを特徴とする。

【0111】本発明の第9の構成は、パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網であって、該ニューロンに他ニューロンからの信号を伝播するために接続された該シナプス結合の結合係数値を、該シナプスにおける結合係数更新信号プラス成分と、該シナプスにおける結合係数更新信号マイナス成分とにより更新するようにしたパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、該ニューロンにおける誤差信号プラス成分と他ニューロンからの入力信号とから第1の結合係数更新信号プラス信号を求める、該ニューロ

ンにおける誤差信号マイナス成分と他ニューロンからの入力信号とから第1の結合係数更新信号マイナス信号を求める、第1の結合係数更新信号プラス信号と第1の結合係数更新信号マイナス信号の反転信号との論理積を施した信号を、1フレーム前の結合係数更新信号をカウントするカウンタのインクリメント(又はデクリメント)信号とし、第1の結合係数更新信号プラス信号の反転信号と第1の結合係数更新信号マイナス信号との論理積を施した信号を、1フレーム前の結合係数更新信号をカウントするカウンタのデクリメント(又はインクリメント)信号とし、1フレームの間、カウントした後に、このカウンタの値と安定化係数を保持する記憶手段からの出力値との積を求め、この積の値をパルス密度に持つパルス列を生成し、前記カウンタの値が正(又は負)の時は、前記パルス列と前記第1の結合係数更新プラス信号との論理和を現結合係数更新プラス信号とするとともに第1の結合係数更新マイナス信号を現結合係数マイナス信号とする一方、前記カウンタの値が負(又は正)の時は、前記パルス列と前記第1の結合係数更新マイナス信号との論理和を現結合係数更新マイナス信号とするとともに第1の結合係数更新プラス信号を現結合係数プラス信号とし、これらの結合係数更新プラス信号と結合係数更新マイナス信号とにより、該シナプスの結合係数更新を行うことを特徴とする。

【0112】本発明の第10の構成は、パルス密度方式により実現されたニューロン模倣素子を網状に接続したパルス密度型信号処理回路網であって、該ニューロンに他ニューロンからの信号を伝播するために接続された該シナプス結合の結合係数値を、該シナプスにおける結合係数更新信号プラス成分と、該シナプスにおける結合係数更新信号マイナス成分とにより更新するようにしたパルス密度型信号処理回路網における学習プロセスに際しての結合係数更新方法において、該ニューロンにおける誤差信号プラス成分と他ニューロンからの入力信号とから第1の結合係数更新信号プラス信号を求める、該ニューロンにおける誤差信号マイナス成分と他ニューロンからの入力信号とから第1の結合係数更新信号マイナス信号を求める、第1の結合係数更新プラス信号と第1の結合係数更新マイナス信号の反転信号との論理積を施した信号を、1フレーム前の結合係数更新プラス信号を保持する記憶手段に保持すると共にこの記憶手段からの結合係数更新プラス信号に安定化係数による処理を行い、この処理信号と前記第1の結合係数更新プラス信号との論理和を結合係数更新プラス信号とし、第1の結合係数更新マイナス信号と第1の結合係数更新プラス信号の反転信号との論理積を施した信号を、1フレーム前の結合係数更新マイナス信号を保持する記憶手段に保持すると共にこの記憶手段からの結合係数更新マイナス信号に安定化係数による処理を行い、この処理信号と前記第1の結合係数更新マイナス信号との論理和を結合係数更新マイナス

信号とし、上記結合係数更新プラス信号と結合係数更新マイナス信号とにより、該シナプスの結合係数更新を行うことを特徴とする。

【0113】本発明の第11の構成は、第2の構成のパルス密度型信号処理回路網における結合係数更新方法を実施する装置であって、該シナプス結合の1フレーム前の結合係数更新信号プラス成分に安定化係数プラス成分による処理を施すための前記安定化係数プラス成分を保持する記憶手段と、該シナプス結合の1フレーム前の結合係数更新信号マイナス成分に安定化係数マイナス成分による処理を施すための前記安定化係数マイナス成分を保持する記憶手段とを備えていることを特徴とする。

【0114】

【作用】第1の構成によれば、結合係数更新信号として、誤差信号により求められた更新信号のみでなく、1フレーム前の更新量を考慮した慣性項すなわち安定化係数による処理を施した更新量を生成できるため、学習時の収束速度を速くすることができ、また学習時に局所解（ローカルミニマム）に陥る率が減少し、学習性能を改善する事が可能になる。

【0115】第2乃至第8の構成においても上記と同様の作用が得られる。

【0116】第9の構成によれば、第1の構成の作用と同様の作用が得られるとともに、結合係数更新プラス成分或いは結合係数更新マイナス成分のいずれか一方のみが有効（採用）となるため、最終的に結合係数更新パルスプラス成分 $\Delta W^+ (t+1)$ 、或いはマイナス成分 $\Delta W^- (t+1)$ を有効に生成でき、学習性能が改善される。

【0117】第10の構成によれば、第9の構成におけると同様の作用が得られる。

【0118】第11の構成によれば、第1の構成の作用と同様の作用が得られるとともに、結合係数更新プラス*

$$\Delta W^+ (t+1) = \{\delta \eta^+ \cap o\} \cup \{\alpha \cap \Delta W^+ (t)\} \quad (38)$$

$$\Delta W^- (t+1) = \{\delta \eta^- \cap o\} \cup \{\alpha \cap \Delta W^- (t)\} \quad (39)$$

【0122】図14中の α 回路52の構成例を図15に示す。間引き回路56は、パルスを間引く際の間引き率の情報を格納する α_Mem55 から出力される安定化係数 α の割合により結合係数更新パルス $\Delta W (t+1)$ を1フレーム分保持した記憶手段 ΔW_Mem53 からの出力パルス $\Delta W (t)$ を間引くことで、結合係数更新パルスに安定化係数 α の処理を施した信号 $\alpha \cap \Delta W (t)$ を生成する。ここで記憶手段53は、一般的な先入れ先出しメモリ（FIFO）やシフトレジスタ等で構成すればよい。

【0123】図14中の α 回路52の他の構成例を図16に示す。ここで、図15と同じ機能を有する回路には同じ番号を付している。コンバータCMP59は、安定化係数を保持した α_Mem55 の値 α と乱数発生器Ran_Gen58から生成される乱数値と比較し、乱数

*成分を生成する安定化係数プラス成分と、結合係数更新マイナス成分を生成する安定化マイナス成分を持つので、それぞれについて任意の値を設定することができる。即ち、安定化係数をプラス及びマイナスについてそれぞれ最適な値に設定でき、学習の収束を効果的に制御できる。

【0119】

【実施例】以下、この発明の実施例につき説明する。この発明は、前述した先願における問題点を解決するために、先に示した図11のシナプス回路の、AND（論理積）、インバータ（反転）、OR（論理和）ゲート構成のゲート回路27からなる結合係数更新回路を改良し、結合係数更新量の慣性項すなわち安定化係数 α による処理を実現できるようにしたものである。

【0120】（実施例1）第1の実施例における結合係数更新回路27aを図14に示す。ここでは、信号説明の簡略化のため、中間層ニューロンのシナプスにおいて、該シナプスが興奮性結合すなわち、図11の符号メモリ23が「0」の場合について説明している。図14において、 α 回路52は結合係数の更新パルス $\Delta W (t-1)$ を1フレーム分保持し、次の学習フレームで安定化係数 α による処理を施し、OR（論理和）ゲートに入力する。このORゲートのもう一つの入力は前記式(34)、(35)で示す従来の結合係数更新パルス($\delta \eta \cap o$)が入力され、新しい結合係数更新パルスのプラス成分 $\Delta W^+ (t+1)$ 及び $\Delta W^- (t+1)$ が生成されることになる。従って、前記式(34)、(35)は次の式(38)、(39)に示すように、安定化係数 α の処理を実現した結合係数更新パルスを求める式が得られる。

【0121】

【数27】

$$\Delta W^+ (t+1) = \{\delta \eta^+ \cap o\} \cup \{\alpha \cap \Delta W^+ (t)\} \quad (38)$$

$$\Delta W^- (t+1) = \{\delta \eta^- \cap o\} \cup \{\alpha \cap \Delta W^- (t)\} \quad (39)$$

値が安定化係数 α 以下のときにパルスを生成する。これにより、安定化係数 α をパルス密度に持つパルス列を生成することになる。この安定化係数パルス列と、結合係数更新パルス $\Delta W (t+1)$ を1フレーム分保持した記憶手段 ΔW_Mem53 からの出力パルスとのAND（論理積）をANDゲート60でとることにより、結合係数更新パルス ΔW に安定化係数 α の処理を施したパルス列 $\alpha \cap \Delta W (t)$ を求めることが可能になる。

【0124】図14中の α 回路52の他の構成例を図17に示す。カウンタCNT61は、結合係数更新パルス $\Delta W (t+1)$ のパルス数を1フレームの間カウントし、結合係数更新パルスをバイナリデータに変換する。マルチプライヤ或いはパレルシフタ等からなる乗算回路MUL63は、このバイナリデータで表された結合係数更新量と安定化係数を保持した α_Mem55 からの安

定化係数 α との乗算を行い、その積 ($\alpha \times \Delta W(t)$) を出力する。そして、コンパレータ CMP 5 9 は、この乗算値と乱数発生器 Ran_Gen 5 8 で生成される乱数値との比較を行い、乱数値が乗算値以下のときパルスを生成する。これにより、($\alpha \times \Delta W(t)$) の値をパルス密度を持つパルス列 ($\alpha \cap \Delta W(t)$) を生成することができる。

【0125】(実施例2) 第2の実施例における結合係数更新回路 27b を図18に示す。実施例1と同様、信号説明の簡略化のため、中間層ニューロンのシナプスに*10

*において、該シナプスが興奮性結合すなわち、図11の符号メモリ23が「0」の場合について説明している。図18において、インバータ(反転)とAND(論理積)により構成された論理回路64は、結合係数更新プラス成分 ($\delta \eta j^+ \cap 01$) とマイナス成分 ($\delta \eta j^- \cap 01$) の両方のパルスデータよりカウンタ65のインクリメント信号(INC) とデクリメント信号(DEC) を生成する。この論理回路64の真理値表を次に示す。

【0126】

【表1】

更新プラス成分 $\delta \eta j^+ \cap 01$	更新マイナス成分 $\delta \eta j^- \cap 01$	カウンタインクリメント信号INC	カウンタデクリメント信号DEC
0	0	0	0
0	1	0	1
1	0	1	0
1	1	0	0

【0127】すなわち、結合係数更新プラス成分が「1」で、結合係数更新マイナス成分が「0」のとき、カウンタインクリメント信号INCが「1」となり、従ってカウンタ65がインクリメントされる。また、結合係数更新プラス成分が「0」で、結合係数更新マイナス成分が「1」のとき、カウンタデクリメント信号DECが「1」となり、カウンタ65はデクリメントされる。また、結合係数更新プラス成分と結合係数更新マイナス成分が等しいときは、カウンタインクリメント信号INC及びカウンタデクリメント信号DECは、ともに「0」となり、カウンタの値は変わらない。

【0128】 α パルス生成回路66は、カウンタ65の値と安定化係数 α を格納したメモリ $\alpha_Mem 5 5$ から出力される安定化係数 α の値とにより、結合係数更新パルスに α 係数による処理を施すもので、例えば前述の図17の乱数発生器 Ran_Gen 5 8、積演算回路 MUL 6 3 及びコンパレータ CMP 5 9 から構成されるブロック62の機能のものである。選択回路 SEL 67 は、 α パルス生成回路66から出力される安定化係数パルスを、カウンタ65の値が正、すなわち結合係数更新のプラス成分がマイナス成分より大きいときは、プラス成分を生成するOR(論理和)ゲート70へ、カウンタの値が負、すなわち結合係数更新のマイナス成分がプラス成分より大きいときは、マイナス成分を生成するOR(論理和)ゲート71へ出力する。このように図18では、論理回路64により、誤差信号 δ^+ から生成された結合係数更新プラス成分 $\delta^+ \cap 0$ と、誤差信号 δ^- から生成された結合係数更新マイナス成分 $\delta^- \cap 0$ の双方の値を

30

考慮し、例えば、プラス成分とマイナス成分が共に「1」のときは、共に「1」とするのではなく、論理回路64によりプラス成分及びマイナス成分が共に「0」となる。そしてこのプラス成分とマイナス成分の総和をカウンタで求めることができ、これによりプラス成分 $\alpha \cap \Delta W^+ (t)$ 、あるいはマイナス成分 $\alpha \cap \Delta W^- (t)$ のいずれか一方のみが有効となるため、最終的に結合係数更新パルスプラス成分 $\Delta W^+ (t+1)$ 、あるいはマイナス成分 $\Delta W^- (t+1)$ を有効に生成できる。

40

【0129】(実施例3) 第3の実施例における結合係数更新回路 27c を図19に示す。実施例1と同様、信号説明の簡略化のため、中間層ニューロンのシナプスにおいて、該シナプスが興奮性結合すなわち、図11の符号メモリ23が「0」の場合について説明している。図19において、論理回路64は、図18に示したものと同じである。 $\Delta W_Mem 5 3$ は、論理回路64により生成された結合係数更新プラス成分とマイナス成分を1フレーム分格納する。安定化係数パルス生成回路 $\alpha_Pu 168$ は、 ΔW 格納メモリ $\Delta W_Mem 5 3$ に格納された結合係数更新プラス成分とマイナス成分に、安定化係数による処理を施し、結合係数更新プラス成分を生成するOR(論理和)ゲート70及び結合係数更新マイナス成分を生成するOR(論理和)ゲート71に出力するもので、前述の図5の機能ブロック54、あるいは図16の機能ブロック57で示されるようなものである。

45

【0130】上記の構成により、結合係数更新量に安定化係数 α による処理を施した、すなわち前記式(3)

50

8), (39)により求められる結合係数更新パルスプラス成分 ΔW^+ ($t+1$) 及びマイナス成分 ΔW^- ($t+1$) が得られることになる。

【0131】次に、先願(従来方式)に対する本発明の項かを確認するため、簡単な数字認識シミュレーションを行ったので、これを説明する。これは、数字パターン‘1’～‘5’の5種類を5セット、すなわち全部で25パターンを学習させる。なお、使用した数字パターンを図20に示す。

【0132】使用したニュートラルネットワーク構成は、3層階層型とし、入力層は64ニューロンで、これは数字パターン 8×8 画素に対応する。中間層は4ニューロン、出力層は5ニューロンとする。これは数字パターン‘1’～‘5’に対応する。学習回数は、1パターンの学習を1回とし、学習終了の収束条件は、出力ニューロンの最大誤差が、0.05以下になるととした。

【0133】シミュレーションは、従来方式の安定化係数を考慮しない場合 ($\alpha = 0$) と、本実施例の一実施例図18の場合で、安定化係数 $\alpha = 0.5$ としたときを行った。

【0134】図21は、シミュレーション結果を示す図グラフであり、従来方式の場合と本発明の一実施例の場合における学習曲線を示している。図21に示されるように従来方式の安定化係数を考慮しない場合 ($\alpha = 0$) は、最大誤差が0.05以下になるのに825回の学習回数を必要としたのに対して、本発明方式の安定化係数を考慮する場合 ($\alpha = 0.5$) は、学習の進行により、最大誤差の減少が従来方式よりも著しく、最大誤差が0.05以下になるのに、わずか300回の学習回数しか必要とせず、従来方式に比べ、本発明方式の場合は、学習時間が約3分の1程度となり、本発明方式の効果が確認できている。

【0135】また、以上の実施例において、 α_{Mem} 5.5として、該シナプス結合の1フレーム前の結合係数更新信号プラス成分に安定化係数プラス成分による処理を施すための前記安定化係数プラス成分を保持するものと、該シナプス結合の1フレーム前の結合係数更新信号マイナス成分に安定化係数マイナス成分による処理を施すための前記安定化係数マイナス成分を保持するものとを備えるようにしてもよく、これによれば、安定化係数をプラス及びマイナスについてそれぞれ最適な値に設定でき、学習の収束を効果的に制御できる。

【0136】

【発明の効果】以上説明したように、本発明によれば、誤差信号により求められた更新信号のみでなく、1フレーム前の更新量を考慮した慣性項すなわち安定化係数による処理を施した更新量を生成できるため、学習の収束速度が速くなり、また、学習時に局所解に陥る率が低減されるなど、学習性能が著しく向上するという効果を奏

することができる。

【図面の簡単な説明】

【図1】神経細胞ユニットの模式図である。

【図2】ニューラルネットワークの模式図である。

【図3】シグモイド関数を示すグラフである。

【図4】フォワードプロセスを説明する模式図である。

【図5】学習プロセスを説明する模式図である。

【図6】ニューラルネットワークに相当する電気回路図である。

【図7】単一神経細胞に相当する電気回路図である。

【図8】シナプス回路のブロック図である。

【図9】細胞体回路のブロック図である。

【図10】パルス密度方式における1つのニューロン素子のフォワード処理の様子を示す模式図である。

【図11】ニューロンのシナプスに相当する部分の回路を示すブロック図である。

【図12】出力層での誤差信号を生成する回路の論理回路図である。

【図13】中間層での誤差信号を生成する回路の論理回路図である。

【図14】この発明の第1の実施例を示すブロック回路図である。

【図15】図14の α 回路の構成例を示すブロック図である。

【図16】図14の α 回路の他の構成例を示すブロック図である。

【図17】図14の α 回路の他の構成例を示すブロック図である。

【図18】この発明の第2の実施例を示すブロック図である。

【図19】この発明の第3の実施例を示すブロック図である。

【図20】数字認識シミュレーションに用いる数字パターン例を示す模式図である。

【図21】学習曲線を示すグラフである。

【符号の説明】

27a 結合係数更新回路

27b 結合係数更新回路

27c 結合係数更新回路

40 5.2 α 回路

5.3 ΔW_{Mem}

5.5 α_{Mem}

5.6 間引き回路

5.8 乱数発生器

5.9 コンバレータ

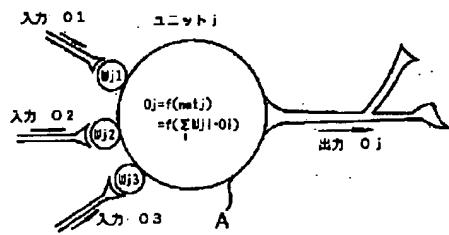
6.3 積演算回路

6.5 カウンタ

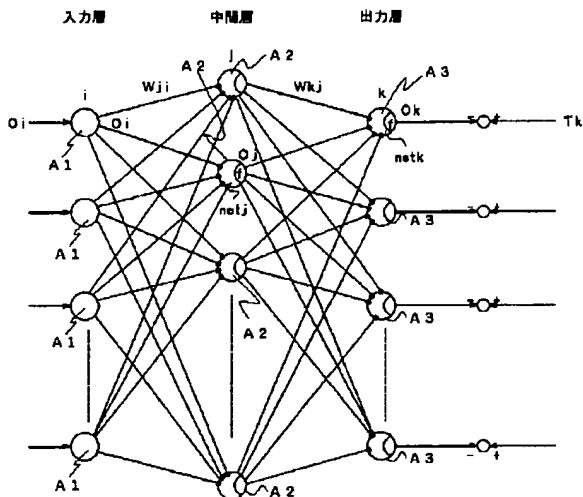
6.6 α パルス生成回路

6.7 選択回路

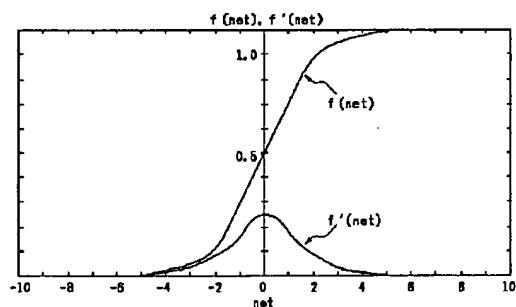
【図1】



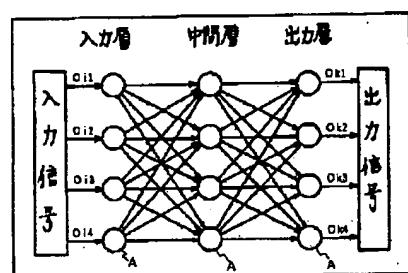
【図2】



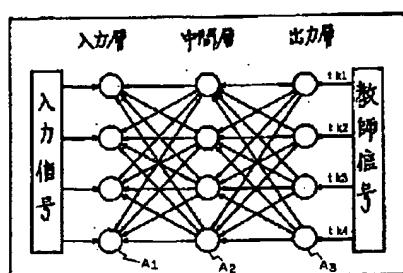
【図3】



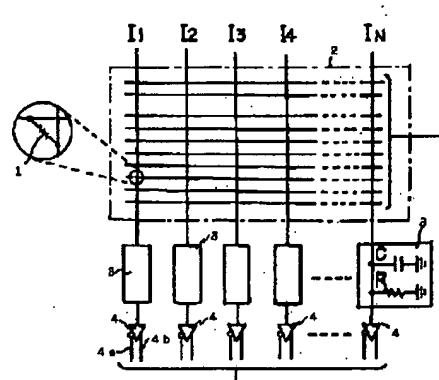
【図4】



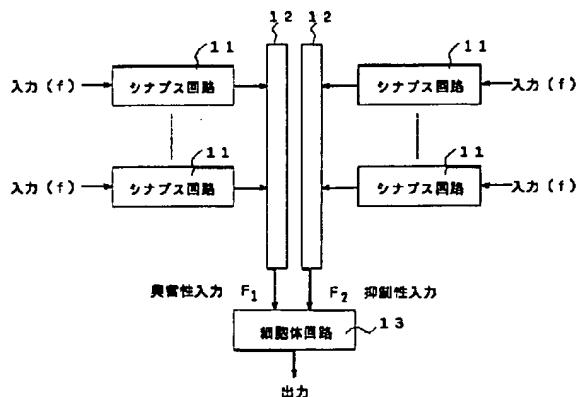
【図5】



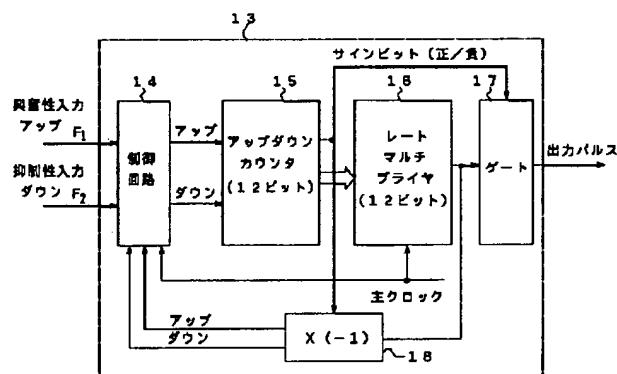
【図6】



【图7】

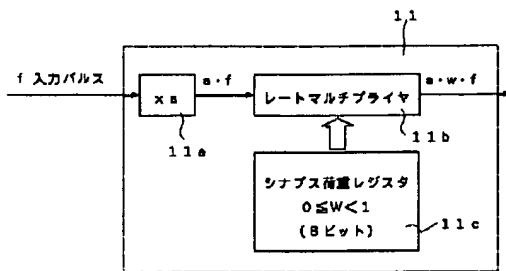


[図 9]

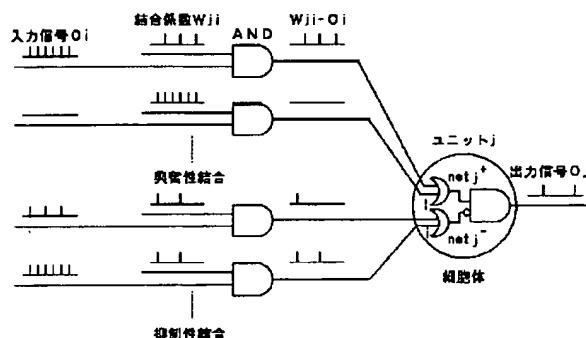


[図11]

【図8】

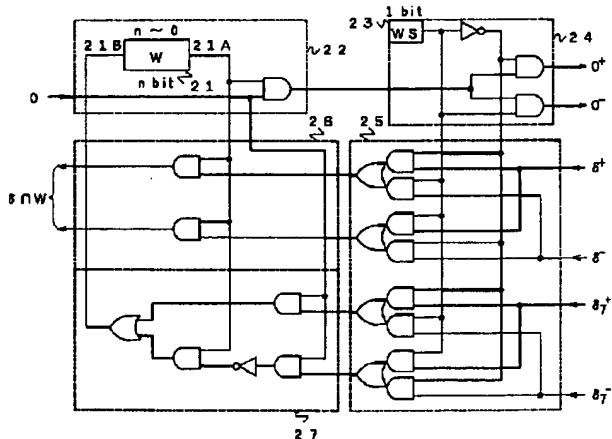


[図10]

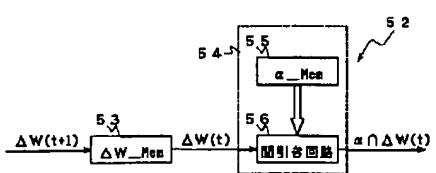


【图12】

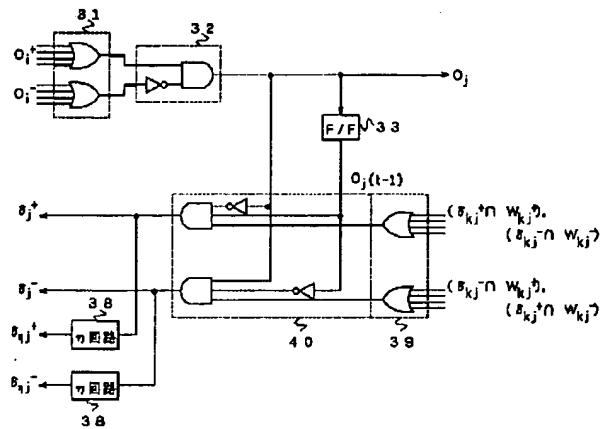
[図11]



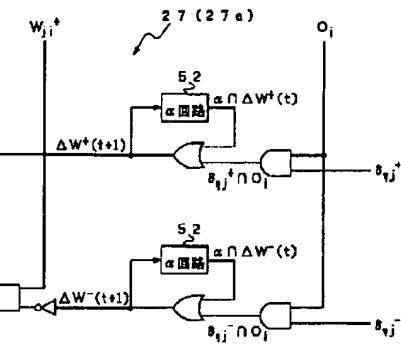
〔图15〕



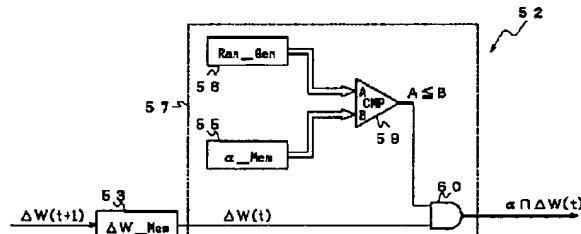
[図13]



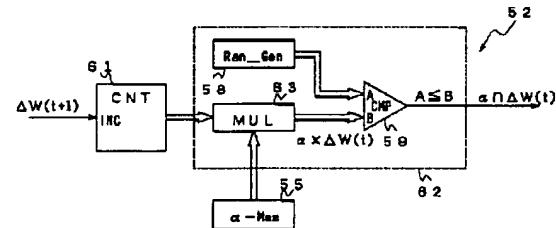
【図14】



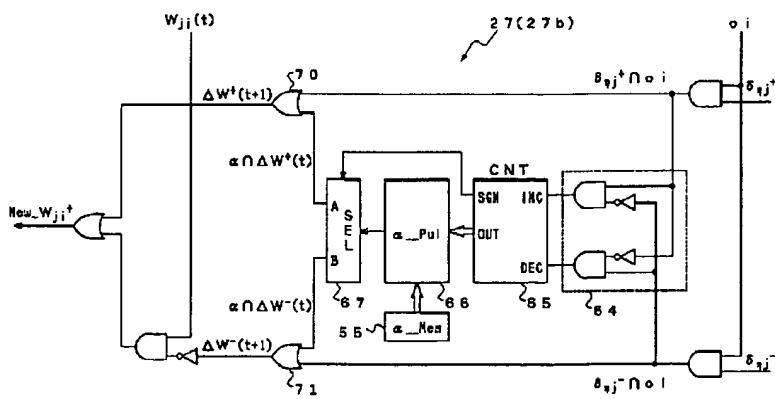
【図16】



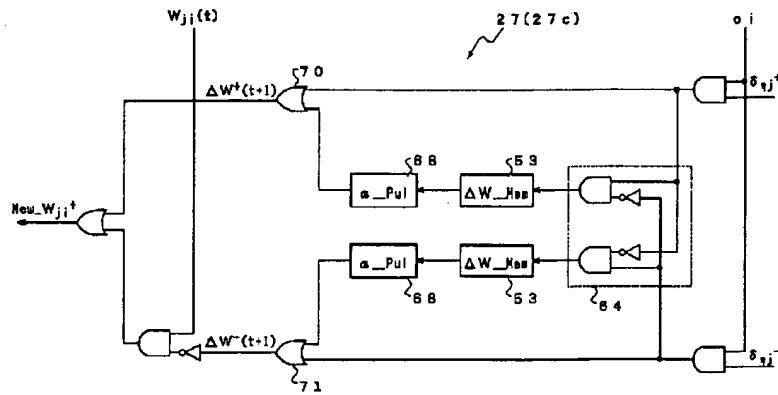
【図17】



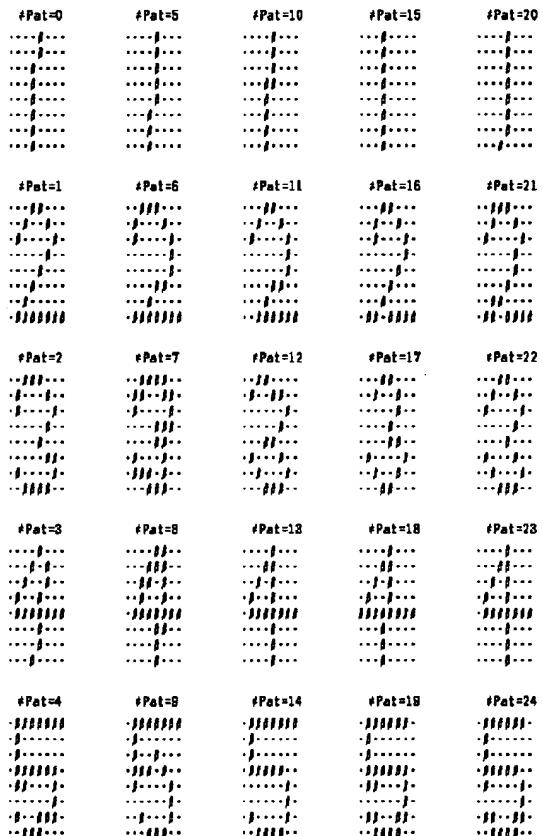
[図18]



[図19]



【图20】



【図21】

